

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-214641

(43)Date of publication of application : 31.07.2002

(51)Int.Cl. G02F 1/1368  
G02F 1/1335  
G02F 1/1343  
G09F 9/30  
H01L 29/786  
H01L 21/336

(21)Application number : 2001-007007

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.01.2001

(72)Inventor : MIYAJI TOMOMOTO  
KUBO AKIRA

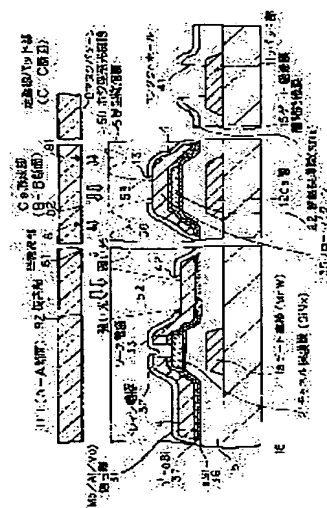
## (54) MANUFACTURING METHOD FOR ARRAY SUBSTRATE FOR FLAT DISPLAY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method which can decrease the number of patterning processes and reduce the manufacture cost, in a manufacturing method for an array substrate used for reflection type flat display.

**SOLUTION:** When the pattern of a thick resin film where a reflection type pixel electrode 62 is mounted is formed, photosensitive setting resin is applied for coating and then exposure operation is performed by using a mask pattern 8 which has punch parts 82 and translucent parts 81 at specific parts.

Consequently, contact holes 52 and 453 penetrating the thick resin film 5 are formed after unset resin is removed and at the same time, the reflection type pixel electrode 62 is made uneven to form an uneven pattern 55 for preventing a glaring reflection on the surface of the thick resin film 5.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] So that the switching element arranged to the pixel field on a substrate and wiring for supplying a driving signal to these switching elements may be covered Penetrating the coating process which coats insulating photopolymer liquid, and light is kept nearly completely. The section, The exposure process exposed on the photopolymer film using the mask pattern which has the transfective section with few amounts of light transmission per unit area to the aforementioned omission section, The manufacture approach of the array substrate for flat-surface displays characterized by including the contact hole which penetrates said photopolymer film and the process which forms a concavo-convex pattern, and the process which forms a pixel electrode on said concavo-convex pattern of said photopolymer film.

[Claim 2] The manufacture approach of the array substrate for flat-surface displays according to claim 1 characterized by the thickness of said photopolymer film being 1 micrometers or more.

[Claim 3] The manufacture approach of the array substrate for flat-surface displays according to claim 1 which said photopolymer liquid is a positive type and is characterized by for said mask pattern extracting and forming said contact hole corresponding to the section.

[Claim 4] The 1st wiring layer pattern which said switching element is a thin film transistor, and contains two or more scanning lines, the gate electrode, and the scanning-line pad section which are arranged on said substrate, The semi-conductor coat pattern which is formed on wrap gate dielectric film and this gate dielectric film in this 1st wiring layer pattern, and forms the activity semi-conductor film of said thin film transistor, The array substrate for flat-surface displays which equips said scanning line with the 2nd wiring layer pattern in which a profile carries out abbreviation coincidence with the profile of said semi-conductor coat pattern including the signal line which carries out an abbreviation rectangular cross, a source electrode, and a drain electrode and which is manufactured by the manufacture approach according to claim 1.

[Claim 5] The array substrate for flat-surface displays according to claim 4 characterized by having the channel protective coat which protects the channel section of said thin film transistor.

[Claim 6] The array substrate for flat-surface displays according to claim 4 characterized by having the interlayer insulation film which consists said 2nd wiring layer pattern of a wrap and an inorganic insulating material, and the contact hole which pierces through this interlayer insulation film, and covering said interlayer insulation film with said photopolymer film.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the array substrate used for the flat-surface display of reflective molds, such as a reflective mold liquid crystal display.

[0002]

[Description of the Prior Art] In recent years, the display of the flat-surface mold which replaces a CRT display is developed briskly, and, especially as for the liquid crystal display, attention is attracted especially from advantages, such as little of the fatigue of a light weight, a thin shape, a low power, and an eye.

[0003] For example, it explains taking the case of the liquid crystal display of the active-matrix mold with which the switching device has been arranged for every display pixel. Between the array substrate and the opposite substrate, a liquid crystal layer is held through the orientation film, and the active matrix liquid crystal display changes. As for the array substrate, the thin film transistor (it is hereafter called TFT for short.) to which two or more signal lines and scanning lines have been arranged in the shape of a grid on insulating substrates, such as glass, and used semi-conductor thin films, such as an amorphous silicon (a-Si:H), for it at each intersection part is connected. And the gate electrode of TFT is connected to the scanning line, a drain electrode is electrically connected to a signal line, respectively, and the source electrode is further connected to the electrical conducting material which constitutes a pixel electrode electrically.

[0004] A color filter layer is arranged and the opposite substrate is constituted, if the counterelectrode which consists of ITO on transparence insulating substrates, such as glass, is arranged and color display is realized.

[0005] If it is in the array substrate used for the liquid crystal display of a reflective mold, the pixel electrode of the reflective mold which consists of aluminum (aluminum) etc. is formed in the maximum upper layer, and arranging the resin film of a thick mold between this reflective mold electrode layer and a downward wiring layer is performed. This thick mold resin film makes it possible to arrange so that the edge of 4 rounds of a reflective mold pixel electrode may cover the scanning line, a signal line, and TFT without increase of parasitic capacitance, raises a pixel electrode surface product by this, and it has it and it raises efficiency for light utilization. Generally the thick mold resin film also plays a role of flattening film for making the height of the pixel electrode from an insulating-substrate side into homogeneity, and making thickness of a liquid crystal layer into homogeneity.

[0006] Moreover, generally preparing a random concavo-convex pattern is performed in the front face of the thick mold resin film that concentration of a viewing-angle property should be prevented.

[0007] The manufacture approach of such a conventional array substrate for reflective mold flat-surface displays and its trouble are explained using drawing 4.

[0008] First, the 1st wiring layer containing scanning-line and gate electrode 11a and the 2nd wiring layer which contains wrap gate dielectric film 15, a signal line 31 and the source, and the drain electrodes 32 and 33 for these are formed. And when required, the interlayer insulation film (passivation film) 4 which consists of silicon nitride etc., and the contact hole 42 which pierces through this are formed.

[0009] Then, much projections 7 are formed by leaving the resin film in the shape of a dot pattern by spreading of the resin film, and patterning using a mask pattern in each schedule field which arranges

the pixel electrode of a reflective mold.

[0010] Fluid low resin \*\*\*\* is comparatively coated after formation of the pattern of projection 7. And after performing alignment of the mask pattern using a separate mask pattern, and the array substrate under manufacture, removal of exposure, development, and non-hardening resin is performed again. Thus, the large resin film of the thickness which has a through hole 52 is formed in a predetermined part. A through hole 52 is a contact hole for making it flow through the pixel electrode and the source electrode 33 of the schedule arranged on this thick mold resin film 5.

[0011] After such the 2nd step of resin film coatings and patterning, it corresponds to the pattern of the projection 7 prepared beforehand correctly, and the concavo-convex pattern 55 is formed in the front face of the thick mold resin film 5.

[0012]

[Problem(s) to be Solved by the Invention] In order to form the thick mold resin film which equips a front face with a concavo-convex pattern as it is the manufacture approach of the above-mentioned conventional array substrate for reflective mold flat-surface displays, the separate patterning process and the separate mask pattern of a sake for preparing the projection beforehand were needed. After forming the thick mold resin film equipped with the through hole, even if it is going to prepare a concavo-convex pattern, a patterning process separate from a separate mask pattern is completely needed similarly.

[0013] All were difficult although various methods of obtaining the concavo-convex pattern as a design without a separate patterning process were also tried. Therefore, it was believed that a separate mask pattern and a patterning process were required.

[0014] This invention is made in view of the above-mentioned trouble, and offers the manufacture approach that a patterning routing counter and a manufacturing cost can be reduced, in the manufacture approach of the array substrate used for a reflective mold flat-surface display.

[0015]

[Means for Solving the Problem] The manufacture approach of the array substrate of claim 1 so that the switching element arranged to the pixel field on a substrate and wiring for supplying a driving signal to these switching elements may be covered Penetrating the coating process which coats insulating photopolymer liquid, and light is kept nearly completely. The section, The exposure process exposed on the photopolymer film using the mask pattern which has the transfective section with few amounts of light transmission per unit area to the aforementioned omission section, It is characterized by including the contact hole which penetrates said photopolymer film and the process which forms a concavo-convex pattern, and the process which forms a pixel electrode on said concavo-convex pattern of said photopolymer film.

[0016] By the above-mentioned configuration, the patterning routing counter and manufacturing cost for array substrate manufacture can be reduced.

[0017]

[Embodiment of the Invention] The manufacture approach of the array substrate concerning the example of this invention is explained using drawing 1 -3.

[0018] Drawing 1 is the typical important section laminating sectional view of the array substrate in the middle of the manufacture for explaining the patterning process of the thick mold resin film concerning an example. Drawing 2 is an important section laminating sectional view about the completed array substrate concerning an example. Drawing 3 is the typical top view showing the configuration of the completed array substrate. The line of A-A in drawing 3, B-B, and C-C corresponds to the part of TFT in drawing 1 -2, Cs formation section, and the scanning-line pad section, respectively.

[0019] First, the basic configuration of an array substrate is explained using drawing 2 -3. The configuration explained here is the same as that of the conventional array substrate except for the structure inside the layer of the thick mold resin film 5 which appears in part in drawing 2.

[0020] As shown in drawing 3, it is arranged so that the array substrate 10 and two or more signal lines

31 and two or more scanning lines 11 may cross at right angles mutually through gate dielectric film 15 ( drawing 2 ). TFT7 for switching the signal input from the signal line 31 to the pixel electrode 62 according to the scan pulse which is divided by the signal line 31 and the scanning line 11 and which the pixel electrode 62 of a wrap reflective mold is arranged as a pattern of the maximum upper layer, and is impressed to the scanning line 11 near an intersection with the upper signal line 31 from the lower layer scanning line 11 and this in the whole abbreviation for this pixel for every pixel is arranged.

[0021] As shown in drawing 2 , the pixel electrode 62 is laid on the thick mold resin film, the thickness of 1 micrometers or more, for example, 3-micrometer thickness, which has the concavo-convex pattern 55 on a front face, 5. This thick mold resin film 5 is arranged so that the whole abbreviation for a pixel field may be covered with the interlayer insulation film 4 put on this from a lower part. In addition, there is no structure in the interior of the layer of the thick mold resin film 5 in any way, and the structure is not prepared at all between the thick mold resin film 5, and the film 4 of the lower part, i.e., an interlayer insulation film. That is, the layer of the thick mold resin film 5 consists of a uniform resin object which consists of one resin ingredient.

[0022] The contact hole 42 which exposes the source electrode 33 of TFT7 in an interlayer insulation film 4 is formed, and a contact hole 53 is established in the thick mold resin film 5 so that the contact hole 42 of an interlayer insulation film 4 may be overlapped. Thereby, the pixel electrode 62 is electrically connected to the source electrode 33 through these contact holes 42 and 53.

[0023] In addition, as shown in drawing 3 and the abbreviation center section of drawing 2 , the float pattern 35 for forming auxiliary capacity (Cs) is formed by the same metal layer as signal-line 31 grade, and the contact holes 43 and 53 for connecting this float pattern 35 with the pixel electrode 62 electrically are formed like the part of the source electrode 33.

[0024] Next, the patterning process of the thick mold resin film 5 is explained using drawing 1 .

[0025] First, after deposition and formation of contact holes 42 and 43 of an interlayer insulation film 4 are completed, coating of the photosensitive hardenability resin 50 of a positive type is carried out. Then, exposure actuation using a mask pattern is performed.

[0026] As shown in drawing 1 , while extracting corresponding to the part in which contact holes 52 and 53 are established and forming the section 82, corresponding to the part established in the crevice 56 of the concavo-convex pattern 55, the transfective section 81 which makes light penetrate partially is formed in a mask pattern 8. This transfective section 81 can be formed with the screen pattern of mesh-like a metal membrane pattern and others like the halftone exposure technique for forming a resist pattern with a level difference. Moreover, the transfective section 81 can be formed also by a metal membrane's extracting and attaching the suitable coloring film for the section.

[0027] It extracts, and the same strong exposure as the usual exposure technique is performed by the exposure using such a mask pattern 8 in the part of the section 82, it extracts by it in the part of the transfective section 81, and the so-called halftone exposure with few amounts of transmitted lights per unit area than the section 82 is performed.

[0028] The pattern of the thick mold resin film 5 which has the contact holes 52 and 53 as shown in the broken line of drawing 1 , and the concavo-convex pattern 55 is obtained by performing development and removal of non-hardening resin after such exposure actuation. This thick mold resin film 5 is an insulator layer which generally has preferably 1 micrometers or more of thickness of 2 micrometers or more.

[0029] Next, the more detailed example about the manufacture approach of the array substrate concerning an example is explained.

[0030] (1) Make 230nm (MoW film) of molybdenum-tungsten alloy film deposit by the sputter on the 1st patterning glass substrate 18. And gate electrode 11a which consists of the 176 scanning lines 11 and the extension section of those for every rectangle region with a diagonal dimension of 2.2 inches (56mm), and the scanning line 11 and the large auxiliary capacity line 12 of the width of face of the abbreviation same number are formed by patterning using the 1st mask pattern.

[0031] Scanning-line connection pad 11b is formed in coincidence at periphery section 10a for connection of the array substrate 10.

[0032] (2) Deposit oxidation and the silicon nitride film of 350nm thickness which makes the 2nd patterning \*\*\*\* and gate dielectric film 15 (SiONx film). After processing a front face by fluoric acid, membranes are formed continuously, without putting the silicon nitride film (SiNx film) of 200nm of thickness for forming the amorphous silicon (a-Si:H) layer of 50nm thickness for creating the semi-conductor film 36 of TFT7, and the channel protective coat 21 grade of TFT7 further to atmospheric air.

[0033] After applying a resist layer, the channel protective coat 21 is created on each gate electrode 11a with the rear-face exposure technique which uses as a mask the pattern of the scanning-line 11 grade obtained by the 1st patterning. At this time, the insulating protective coat 22 remains also on each scanning line 11 and the auxiliary capacity line 12.

[0034] (3) Deposit the phosphorus dope amorphous silicon (n+a-Si:H) layer of 50nm thickness for creating the low resistance semi-conductor film 37 with the same CVD method as the above after processing the front face which an amorphous silicon (a-Si:H) layer exposes by fluoric acid so that ohmic contact with the 3rd good patterning may be obtained.

[0035] Then, the three-layer metal membrane (Mo/aluminum/Mo) which consists of the bottom Mo layer of 25nm thickness, an aluminum layer of 250nm thickness, and a top Mo layer of 50nm thickness is deposited by the spatter.

[0036] And after using the 2nd mask pattern and exposing and developing a resist, patterning of an a-Si:H layer, a n+a-Si:H layer, and the three-layer metal membrane (Mo/aluminum/Mo) is carried out collectively. Under the present circumstances, after etching a three-layer metal membrane by the mixed liquor of a phosphoric acid, a nitric acid, an acetic acid, and water, plasma etching was performed about the a-Si:H layer and the n+a-Si:H layer.

[0037] By this 3rd patterning, the drain electrode 32 which extends from 220x3 a signal line 31 and each signal line 31, and the source electrode 33 are created for every rectangle region with a diagonal dimension of 2.2 inches (56mm). The float pattern 35 for auxiliary capacity formation is created in the field which can come, simultaneously laps with the auxiliary capacity line 12.

[0038] On the other hand, although not shown in drawing, in the periphery connection field of the array substrate 10, the signal-line pad pulled out from the signal line 31 is created by coincidence.

[0039] (4) the 4th patterning -- deposit the interlayer insulation film 4 which consists of a silicon nitride film of 200nm thickness on the multilayers pattern obtained as mentioned above.

[0040] After exposure by the 3rd mask pattern, and development, while removing the interlayer insulation film 4 on the source electrode 33 and creating a contact hole 42 by the wet etching using buffered fluoric acid (BHF), an interlayer insulation film 4 is removed in the specific part on the float pattern 35, and a contact hole 43 is created. Moreover, the 1st gate dielectric film 15 and the interlayer insulation film 4 on scanning-line pad section 11b are removed, and a contact hole 41 is created.

[0041] (5) The 5th patterning ( drawing 1 )

After exfoliating the resist pattern used for the 4th patterning of the above, the photosensitive hardenability resin liquid 50 of the positive type which consists of acrylic resin is applied to homogeneity by the coating machine so that the thickness after desiccation may be set to 3 micrometers. And after performing exposure actuation using the 4th mask pattern 8 which is explained below, washing actuation of removing development, postbake, and non-hardening resin is performed.

[0042] A mask pattern 8 consists of a metal membrane pattern on a glass plate. It extracts for every part corresponding to the above-mentioned contact holes 42 and 43, the section 82 is formed, and much transfective sections 81 are arranged in other [ the great portion of ] fields. The transfective section 81 can be formed with the striped metal membrane pattern with which it comes to arrange a thin line in parallel, or the polka-dot pattern with which the metal membrane of the shape of a small island was arranged.

[0043] It extracts, and sufficient exposure is performed by the exposure actuation using such a mask

pattern 8, and the contact holes 52 and 53 which carry out abbreviation coincidence, respectively are formed in contact holes 42 and 43 after removal of non-hardening resin of it in the part of the section 82. Moreover, it is controlled by the part where much transfective sections 81 are arranged so that it extracts and the amount of transmitted lights per unit area becomes 15% to the section 82, and the concavo-convex pattern 55 for giving a light-scattering function to the pixel electrode 62 of a reflective mold is formed in it by forming many crevices 56 which have a depth of 1 micrometer by this corresponding to the transfective section 81.

[0044] In addition, the amount of transmitted lights in the above-mentioned omission section 82 also set up the rate of the amount of transmitted lights corresponding to the exposure time by which it is changed variously, and extracts here and the stable exposure in the section 82 is attained by the exposure time.

[0045] This thick mold resin film 5 is the example of illustration, and when assembled by the liquid crystal display, it plays the role of the flattening film which makes thickness of a liquid crystal layer abbreviation homogeneity.

[0046] (6) The 6th patterning ( drawing 2 -3 )

After depositing the aluminum (aluminum) layer of 40nm thickness by the spatter, the pixel electrode 62 is created by patterning using the 5th mask pattern. To coincidence, the wrap pad section covering film 61 is created for scanning-line pad section 11b.

[0047] In forming the pattern of the thick mold resin film 5 as it is the manufacture approach of the above-mentioned example, the contact holes 52 and 53 which pierce through the thick mold resin film 5, and the concavo-convex pattern 55 of the front face of the thick mold resin film 5 can be formed by exposure actuation of using one mask pattern 8 for coincidence.

[0048] In the above-mentioned explanation, although explained that the thick mold resin film 5 was formed with the photopolymer of a positive type, it is also possible to use the photopolymer of a negative mold. In this case, in a mask pattern 8, although it extracts and the section and a perfect non-penetrated part interchange, the configuration of the transfective section 81 can completely be made the same.

[0049] In the above-mentioned explanation, although explained as a switching element for every pixel as a thing using TFT of a reverse stagger mold which has a channel protective coat, if a contact hole and a concavo-convex pattern are prepared in the resin film of a thick mold even if a switching element is the thing of other types, it can completely carry out similarly.

[0050]

[Effect of the Invention] In the manufacture approach of the array substrate used for a reflective mold flat-surface display, a patterning routing counter and a manufacturing cost can be reduced.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the laminating sectional view of the array substrate for explaining exposure actuation of the thick mold resin film concerning the manufacture approach of an example, and the configuration of the mask pattern for it.

[Drawing 2] It is the laminating sectional view corresponding to drawing 1 showing the completed array substrate concerning an example.

[Drawing 3] It is the typical important section top view of the completed array substrate.

[Drawing 4] It is the laminating sectional view showing the laminated structure of the array substrate of the conventional example typically.

[Description of Notations]

10 Array Substrate

11a Gate electrode

12 Auxiliary Capacity Line (Cs Line)

15 Gate Dielectric Film

33 Source Electrode of TFT

35 Flow for Cs Formation, and Pattern

4 Interlayer Insulation Film

42 43 Contact hole of an interlayer insulation film

5 Thick Mold Resin Film

52 53 Contact hole of the thickness mold resin film

55 Concavo-convex Pattern of Front Face of Thick Mold Resin Film

62 Pixel Electrode of Reflective Mold

8 Mask Pattern

81 Transflective Section of Mask Pattern (Halftone Exposure Section)

82 Mask Pattern Extracts and it is Section.

---

[Translation done.]



(43)公開日 平成14年7月31日(2002.7.31)

| (51)Int.Cl. <sup>7</sup>            | 識別記号  | F I            | テーマコード*(参考)     |
|-------------------------------------|-------|----------------|-----------------|
| G 0 2 F 1/1368                      |       | G 0 2 F 1/1368 | 2 H 0 9 1       |
| 1/1335                              | 5 2 0 | 1/1335         | 2 H 0 9 2       |
| 1/1343                              |       | 1/1343         | 5 C 0 9 4       |
| G 0 9 F 9/30                        | 3 3 8 | G 0 9 F 9/30   | 3 3 8 5 F 1 1 0 |
| H 0 1 L 29/786                      |       | H 0 1 L 29/78  | 6 1 2 D         |
| 審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く |       |                |                 |

(21)出願番号 特願2001-7007(P2001-7007)

(22)出願日 平成13年1月15日(2001.1.15)

(71)出願人 000003078

株式会社東芝  
東京都港区芝浦一丁目1番1号

(72)発明者 宮地 智基

兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場内

(72)発明者 久保 明

兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場内

(74) 代理人 100059225

弁理士 葛田 璋子 (外3名)

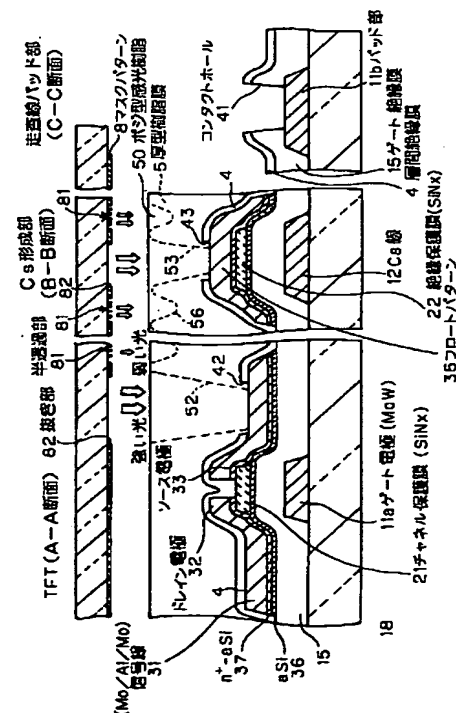
**最終頁に続く**

(54) 【発明の名称】 平面表示装置用アレイ基板の製造方法

(57) 【要約】

【課題】 反射型平面表示装置に用いるアレイ基板の製造方法において、パターニング工程数及び製造コストを低減できるものを提供する。

【解決手段】反射型画素電極 6 2 を載置する厚型樹脂膜 5 のパターンを形成するにあたり、感光性硬化樹脂をコーティングした後、抜き部 8 2 と、半透過部 8 1 とを所定個所に備えるマスクパターン 8 を用いて露光操作を行う。これにより、未硬化樹脂を除去した後は、厚型樹脂膜 5 を貫くコンタクトホール 5 2、5 3 が形成されるとともに、同時に、厚型樹脂膜 5 の表面に、反射型画素電極 6 2 を凹凸させて眩光反射 (glaring) を防止するための凹凸パターン 5 5 が形成される。



(2)

## 【特許請求の範囲】

【請求項1】基板上の画素領域に配列されるスイッチング素子と、これらスイッチング素子に駆動信号を供給するための配線とを覆うように、絶縁性の感光性樹脂液をコーティングするコーティング工程と、

光をほぼ完全に透過する抜き部と、前記抜き部に対して単位面積当たりの光透過量の少ない半透過部とを有するマスクパターンを用いて感光性樹脂膜に露光を行う露光工程と、

前記感光性樹脂膜を貫通するコンタクトホール、及び凹凸パターンを形成する工程と、

前記感光性樹脂膜の前記凹凸パターンの上に画素電極を形成する工程とを含むことを特徴とする平面表示装置用アレイ基板の製造方法。

【請求項2】前記感光性樹脂膜の厚さが1 $\mu$ m以上であることを特徴とする請求項1記載の平面表示装置用アレイ基板の製造方法。

【請求項3】前記感光性樹脂液がポジ型であり、前記マスクパターンの抜き部に対応して前記コンタクトホールが形成されることを特徴とする請求項1記載の平面表示装置用アレイ基板の製造方法。

【請求項4】前記スイッチング素子が薄膜トランジスタであり、

前記基板上に配置される複数本の走査線、ゲート電極及び走査線パッド部を含む第1配線層パターンと、

この第1配線層パターンを覆うゲート絶縁膜と、

このゲート絶縁膜の上に形成され、前記薄膜トランジスタの活性半導体膜をなす半導体被膜パターンと、

前記走査線に略直交する信号線、ソース電極、及びドレイン電極を含み、輪郭が前記半導体被膜パターンの輪郭と略一致する第2配線層パターンとを備える、請求項1記載の製造方法により製造される平面表示装置用アレイ基板。

【請求項5】前記薄膜トランジスタのチャネル部を保護するチャネル保護膜が備えられることを特徴とする請求項4記載の平面表示装置用アレイ基板。

【請求項6】前記第2配線層パターンを覆う、無機絶縁材料からなる層間絶縁膜と、この層間絶縁膜を貫くコンタクトホールとが備えられ、前記層間絶縁膜が前記感光性樹脂膜により覆われることを特徴とする請求項4記載の平面表示装置用アレイ基板。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、反射型液晶表示装置等の反射型の平面表示装置に用いられるアレイ基板の製造方法に関する。

【0002】

【従来の技術】近年、CRTディスプレイに代わる平面型の表示装置が盛んに開発されており、中でも液晶表示装置は軽量、薄型、低消費電力、目の疲れの少なさ等の

2

利点から特に注目を集めている。

【0003】例えば、各表示画素毎にスイッチ素子が配置されたアクティブマトリクス型の液晶表示装置を例にとり説明する。アクティブマトリクス型液晶表示装置は、アレイ基板と対向基板との間に配向膜を介して液晶層が保持されて成っている。アレイ基板は、ガラス等の絶縁基板上に複数本の信号線と走査線とが格子状に配置され、各交点部分にアモルファスシリコン(a-Si:H)等の半導体薄膜を用いた薄膜トランジスタ(以下、TFTと略称する。)が接続されている。そしてTFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電氣的に接続され、さらにソース電極は画素電極を構成する導電材料に電氣的に接続されている。

【0004】対向基板は、ガラス等の透明絶縁基板上にITOから成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【0005】反射型の液晶表示装置に用いるアレイ基板にあつては、アルミニウム(Al)等からなる反射型の画素電極を最上層に形成し、この反射型電極層と下方の配線層との間に厚型の樹脂膜を配することが行われている。この厚型樹脂膜は、寄生容量の増大なく反射型画素電極の四周の縁部が走査線、信号線及びTFTに被さるように配置することを可能にし、これにより画素電極面積を向上させ、もって光利用効率を向上させるものである。厚型樹脂膜は、一般には、絶縁基板面からの画素電極の高さを均一にし、液晶層の厚さを均一にするための平坦化膜としての役割も果たす。

【0006】また、厚型樹脂膜の表面には、一般に、視角特性の集中を防止すべく、ランダムな凹凸パターンを設けることが行われている。

【0007】このような従来の反射型平面表示装置用アレイ基板の製造方法及びその問題点について図4を用いて説明する。

【0008】まず、走査線及びゲート電極11aを含む第1配線層と、これらを覆うゲート絶縁膜15と、信号線31、及びソース及びドレイン電極32、33を含む第2配線層とが形成される。そして、必要な場合には、窒化シリコン等からなる層間絶縁膜(パッシベーション膜)4、及びこれを貫くコンタクトホール42が形成される。

【0009】この後、樹脂膜の塗布、及びマスクパターンを用いるパターンニングにより、反射型の画素電極を配置する各予定領域内に、ドットパターン状に樹脂膜を残すことにより、多数の突起7を設ける。

【0010】突起7のパターンの形成後、比較的流動性の低い樹脂液ををコーティングする。そして、別個のマスクパターンを用いるマスクパターンと製造中のアレイ基板との位置合わせを行った上で、露光・現像及び未硬化樹脂の除去を再度行う。このようにして、所定個所に

(3)

3

スルーホール52を有する膜厚の大きい樹脂膜を形成する。スルーホール52は、この厚型樹脂膜5上に配置される予定の画素電極と、ソース電極33とを導通させるためのコンタクトホールである。

【0011】このような2段階目の樹脂膜コーティング及びパターニングの後には、予め設けた突起7のパターンに正確に対応して、厚型樹脂膜5の表面に凹凸パターン55が形成される。

【0012】

【発明が解決しようとする課題】上記従来の反射型平面表示装置用アレイ基板の製造方法であると、表面に凹凸パターンを備える厚型樹脂膜を形成するためには、予め突起を設けておくための別個のパターニング工程と、そのための別個のマスクパターンとを必要としていた。スルーホールを備えた厚型樹脂膜を形成した後に、凹凸パターンを設けようとしても、全く同様に、別個のマスクパターンと別個のパターニング工程とを必要とする。

【0013】別個のパターニング工程なしに設計どおりの凹凸パターンを得る方法も種々試みられたが、いずれも困難であった。そのため、別個のマスクパターン及びパターニング工程が必要であると信じられていた。

【0014】本発明は、上記問題点に鑑みなされたものであり、反射型平面表示装置に用いるアレイ基板の製造方法において、パターニング工程数及び製造コストを低減できる製造方法を提供するものである。

【0015】

【課題を解決するための手段】請求項1のアレイ基板の製造方法は、基板上の画素領域に配列されるスイッチング素子と、これらスイッチング素子に駆動信号を供給するための配線とを覆うように、絶縁性の感光性樹脂液をコーティングするコーティング工程と、光をほぼ完全に透過する抜き部と、前記抜き部に対して単位面積当たりの光透過量の少ない半透過部とを有するマスクパターンを用いて感光性樹脂膜に露光を行う露光工程と、前記感光性樹脂膜を貫通するコンタクトホール、及び凹凸パターンを形成する工程と、前記感光性樹脂膜の前記凹凸パターンの上に画素電極を形成する工程とを含むことを特徴とする。

【0016】上記構成により、アレイ基板製造のためのパターニング工程数及び製造コストを低減できる。

【0017】

【発明の実施の形態】本発明の実施例に係るアレイ基板の製造方法について、図1～3を用いて説明する。

【0018】図1は、実施例に係る厚型樹脂膜のパターニング工程について説明するための製造途中のアレイ基板の模式的な要部積層断面図である。図2は、実施例に係る完成したアレイ基板についての要部積層断面図である。図3は、完成したアレイ基板の構成について示す模式的な平面図である。図3中のA-A、B-B及びC-Cの線は、それぞれ、図1～2における、TFTの個

4

所、Cs形成部、及び走査線パッド部に対応する。

【0019】まず、アレイ基板の基本構成について図2～3を用いて説明する。ここに説明する構成は、図2中に一部現れる厚型樹脂膜5の層の内部の構造を除き、従来のアレイ基板と同様である。

【0020】図3に示すように、アレイ基板10には、複数の信号線31と複数の走査線11とがゲート絶縁膜15（図2）を介して互いに直交するように配列される。信号線31と走査線11とにより区画される画素ごとに、該画素の略全体を覆う反射型の画素電極62が最上層のパターンとして配置され、下層の走査線11とこれより上層の信号線31との交点付近には、走査線11に印加される走査パルスにしたがい信号線31から画素電極62への信号入力をスイッチングするためのTFT7が配置されている。

【0021】図2に示すように、画素電極62は、表面に凹凸パターン55を有する1 $\mu$ m以上の厚さ例えば3 $\mu$ m厚の厚型樹脂膜5の上に載置される。この厚型樹脂膜5は、これに下方から重ねられる層間絶縁膜4とともに、画素領域の略全体を覆うように配されている。なお、厚型樹脂膜5の層の内部には何ら構造がなく、厚型樹脂膜5と、その下方の膜すなわち層間絶縁膜4の間には何ら構造物が設けられていない。すなわち、厚型樹脂膜5の層は、一つの樹脂材料からなる均一な樹脂体からなる。

【0022】層間絶縁膜4には、TFT7のソース電極33を露出させるコンタクトホール42が設けられ、厚型樹脂膜5には、層間絶縁膜4のコンタクトホール42に重なり合うようにコンタクトホール53が設けられる。これにより、画素電極62が、これらコンタクトホール42、53を通じて、ソース電極33に電氣的に接続される。

【0023】なお、図3及び図2の略中央部に示すように、補助容量（Cs）を形成するためのフロートパターン35が信号線31等と同一の金属層により設けられており、このフロートパターン35を画素電極62と電氣的に接続するためのコンタクトホール43、53が、ソース電極33の個所と同様に設けられている。

【0024】次に、図1を用いて、厚型樹脂膜5のパターニング工程について説明する。

【0025】まず、層間絶縁膜4の堆積と、そのコンタクトホール42、43の形成とが終了した後、ポジ型の感光性の硬化性樹脂50がコーティングされる。引き続いて、マスクパターンを用いての露光操作が行われる。

【0026】図1に示すように、マスクパターン8には、コンタクトホール52、53を設ける個所に対応して抜き部82が設けられるとともに、凹凸パターン55の凹部56に設ける個所に対応して、光を部分的に透過させる半透過部81が設けられる。この半透過部81は、段差付きのレジストパターンを形成するためのハー

(4)

5

フトーン露光技術と同様に、メッシュ状の金属膜パターンその他のスクリーンパターンにより設けることができる。また、半透過部81は、金属膜の抜き部に適当な着色膜を付すことによっても設けることができる。

【0027】このようなマスクパターン8を用いる露光により、抜き部82の個所では、通常の露光技術と同様の強い露光が行われ、半透過部81の個所では、抜き部82よりも単位面積当たりの透過光量が少ない、いわゆるハーフトーン露光が行われる。

【0028】このような露光操作の後、現像、及び未硬化樹脂の除去を行うことにより、図1の破線に示すような、コンタクトホール52、53と凹凸パターン55を有する厚型樹脂膜5のパターンが得られる。この厚型樹脂膜5は、一般に1 $\mu$ m以上、好ましくは2 $\mu$ m以上の厚さを有する絶縁膜である。

【0029】次に、実施例に係るアレイ基板の製造方法に関する、より詳細な例について説明する。

【0030】(1) 第1のパターニング

ガラス基板18上に、スパッタ法によりモリブデンターゲットステン合金膜(MoW膜)を230nm堆積させる。そして、第1のマスクパターンを用いるパターニングにより、対角寸法2.2インチ(56mm)の長方形領域ごとに、176本の走査線11、その延在部からなるゲート電極11a、及び、走査線11と略同数の幅の広い補助容量線12を形成する。

【0031】同時に、アレイ基板10の接続用周縁部10aに走査線接続パッド11bを形成する。

【0032】(2) 第2のパターニング

まず、ゲート絶縁膜15をなす350nm厚の酸化・窒化シリコン膜(SiONx膜)を堆積する。表面をフッ酸で処理した後、さらに、TFT7の半導体膜36を作成するための50nm厚のアモルファスシリコン(a-Si:H)層、及び、TFT7のチャネル保護膜21等を形成するための膜厚200nmの窒化シリコン膜(SiNx膜)を、大気に曝すことなく連続して成膜する。

【0033】レジスト層を塗布した後、第1のパターニングにより得られた走査線11等のパターンをマスクとする裏面露光技術により、各ゲート電極11a上にチャネル保護膜21を作成する。このとき、各走査線11及び補助容量線12上にも絶縁保護膜22が残留する。

【0034】(3) 第3のパターニング

良好なオーミックコンタクトが得られるように、アモルファスシリコン(a-Si:H)層の露出する表面をフッ酸で処理した後、低抵抗半導体膜37を作成するための50nm厚のリンドープアモルファスシリコン(n+a-Si:H)層を上記と同様のCVD法により堆積する。

【0035】この後、スパッタ法により、25nm厚のボトムMo層、250nm厚のAl層、及び、50nm厚のトップMo層からなる三層金属膜(Mo/Al/Mo)を堆積する。

6

【0036】そして、第2のマスクパターンを用いて、レジストを露光、現像した後、a-Si:H層、n+a-Si:H層、及び三層金属膜(Mo/Al/Mo)を一括してパターニングする。この際、三層金属膜をリン酸、硝酸、酢酸及び水の混合液によりエッチングした後、a-Si:H層及びn+a-Si:H層についてプラズマエッチングを行った。

【0037】この第3のパターニングにより、対角寸法2.2インチ(56mm)の長方形領域ごとに、220 $\times$ 3本の信号線31と、各信号線31から延在するドレイン電極32と、ソース電極33とを作成する。これと同時に、補助容量線12と重なる領域に補助容量形成用のフロートパターン35を作成する。

【0038】一方、図には示さないが、アレイ基板10の周縁接続領域においては、信号線31から引き出された信号線パッドが同時に作成される。

【0039】(4) 第4のパターニング

上記のように得られた多層膜パターンの上に、200nm厚の窒化シリコン膜からなる層間絶縁膜4を堆積する。

【0040】第3のマスクパターンによる露光、現像の後、バッファードフッ酸(BHF)を用いるウェットエッチングにより、ソース電極33上の層間絶縁膜4を除去してコンタクトホール42を作成するとともに、フロートパターン35上の特定個所にて層間絶縁膜4を除去してコンタクトホール43を作成する。また、走査線パッド部11b上の第1ゲート絶縁膜15及び層間絶縁膜4を除去してコンタクトホール41を作成する。

【0041】(5) 第5のパターニング(図1)

上記第4のパターニングに用いたレジストパターンを剥離した後、アクリル樹脂からなるポジ型の感光性の硬化性樹脂液50を、コーターにより、乾燥後膜厚が3 $\mu$ mとなるよう均一に塗布する。そして、以下に説明するような第4のマスクパターン8を用いての露光操作を行った後、現像、ポストバーク、及び未硬化樹脂を除去する洗浄操作を行う。

【0042】マスクパターン8は、ガラス板上の金属膜パターンからなる。上記コンタクトホール42、43に対応する個所ごとに抜き部82が設けられ、その他の大部分の領域では、多数の半透過部81が配列される。半透過部81は、例えば、細線が平行に配列されてなる縞模様の金属膜パターン、または、小さな島状の金属膜が配列された水玉模様状のパターンにより設けておくことができる。

【0043】このようなマスクパターン8を用いる露光操作により、抜き部82の個所では充分な露光が行われ、未硬化樹脂の除去後には、コンタクトホール42、43にそれぞれ略一致するコンタクトホール52、53が形成される。また、多数の半透過部81が配列される個所では、抜き部82に対して単位面積当たりの透過光

(5)

量が15%となるよう制御され、これにより半透過部81に対応して1 $\mu$ mの深さをもつ多数の凹部56が設けられることにより、反射型の画素電極62に光散乱機能をもたせるための凹凸パターン55が形成される。

【0044】尚、上記抜き部82での透過光量は、露光時間によって種々変更されるものであり、ここでは、抜き部82での安定した露光が達成される露光時間に対応して透過光量の割合も設定した。

【0045】この厚型樹脂膜5は、図示の例で、液晶表示装置に組み立てられた場合に液晶層の厚さを略均一にする平坦化膜の役割を果たす。

【0046】(6) 第6のパターニング(図2~3)スパッタ法により40nm厚のアルミニウム(A1)層を堆積した後、第5のマスクパターンを用いるパターニングにより、画素電極62を作成する。同時に、走査線パッド部11bを覆うパッド部被覆膜61を作成する。

【0047】上記実施例の製造方法であると、厚型樹脂膜5のパターンを形成するにあたり、厚型樹脂膜5を貫くコンタクトホール52、53と、厚型樹脂膜5の表面の凹凸パターン55とを、同時に、一つのマスクパターン8を用いる露光操作によって設けることができる。

【0048】上記の説明において、厚型樹脂膜5がポジ型の感光性樹脂により形成されるとして説明したが、ネガ型の感光性樹脂を用いることも可能である。この場合、マスクパターン8において、抜き部と完全不透過部分とが入れ替わるが、半透過部81の構成は全く同様とすることができる。

【0049】上記の説明においては、画素ごとのスイッチング素子として、チャネル保護膜を有する逆スタガ型のTFTを用いるものとして説明したが、スイッチング素子が他のタイプのものであっても、厚型の樹脂膜にコンタクトホール及び凹凸パターンが設けられるのであれ

ば、全く同様に行うことができる。

【0050】

【発明の効果】反射型平面表示装置に用いるアレイ基板の製造方法において、パターニング工程数及び製造コストを低減することができる。

【図面の簡単な説明】

【図1】実施例の製造方法に係る厚型樹脂膜の露光操作及びそのためのマスクパターンの構成について説明するためのアレイ基板の積層断面図である。

【図2】実施例に係る完成したアレイ基板について示す、図1に対応する積層断面図である。

【図3】完成したアレイ基板の模式的な要部平面図である。

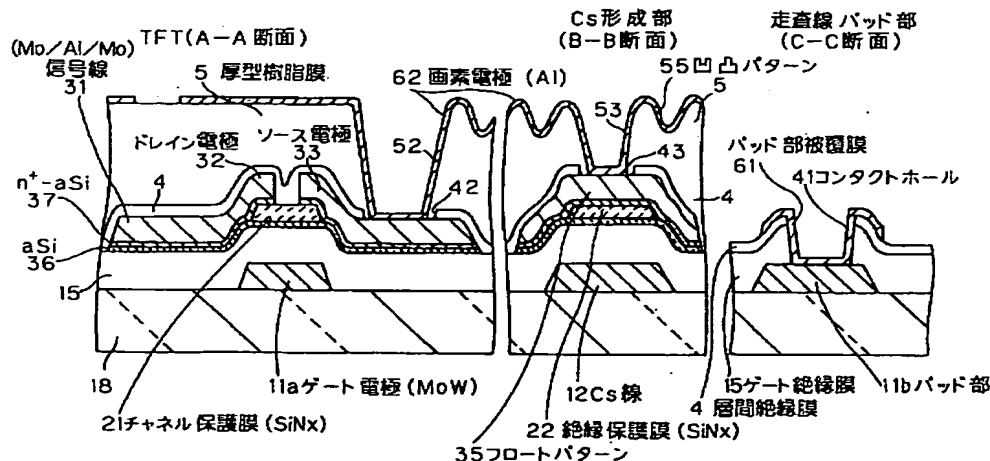
【図4】従来例のアレイ基板の積層構造を模式的に示す積層断面図である。

【符号の説明】

- 10 アレイ基板
- 11a ゲート電極
- 12 補助容量線(Cs線)
- 15 ゲート絶縁膜
- 20 33 TFTのソース電極
- 35 Cs形成用フローとパターン
- 4 層間絶縁膜
- 42, 43 層間絶縁膜のコンタクトホール
- 5 厚型樹脂膜
- 52, 53 厚型樹脂膜のコンタクトホール
- 55 厚型樹脂膜の表面の凹凸パターン
- 62 反射型の画素電極
- 8 マスクパターン
- 81 マスクパターンの半透過部(ハーフトーン露光部)
- 82 マスクパターンの抜き部

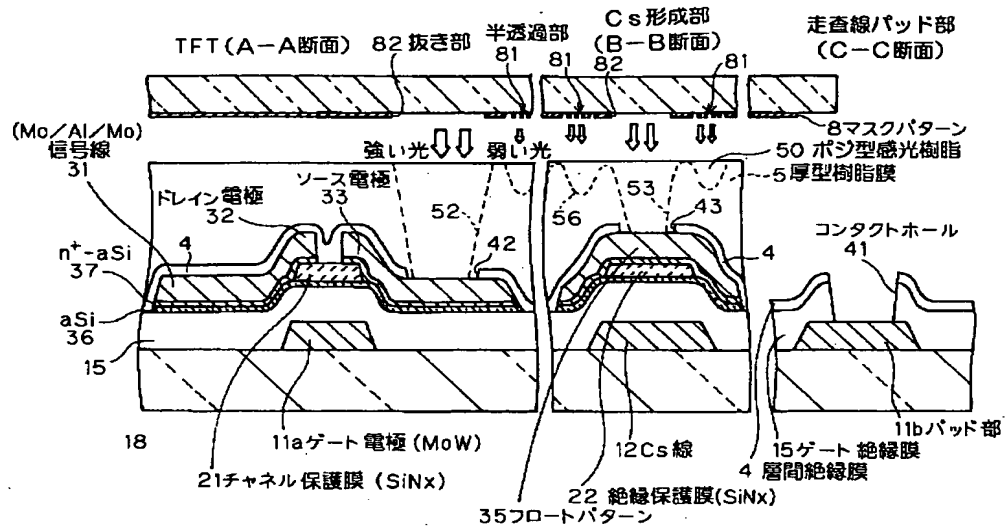
【図2】

# 10 アレイ基板

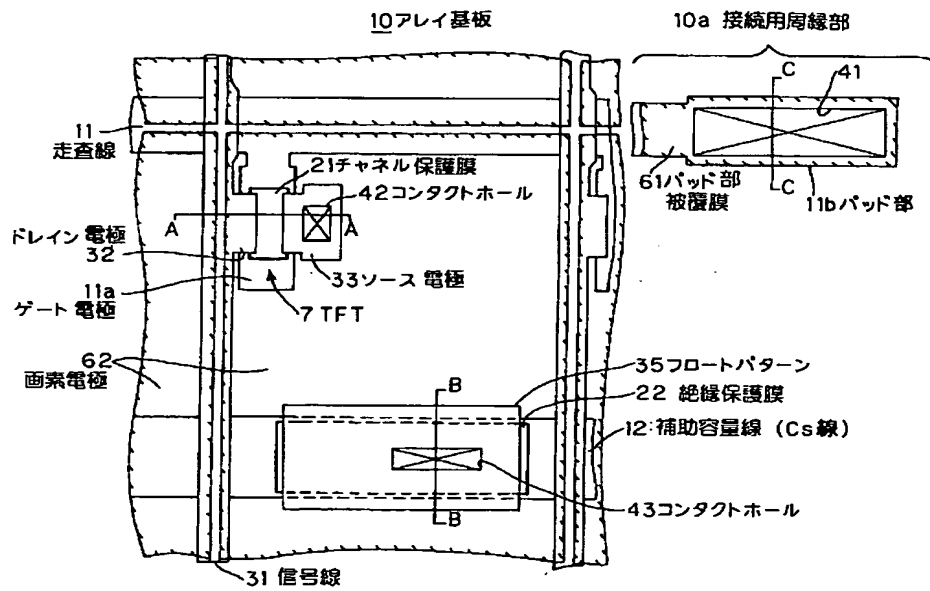


(6)

【図1】



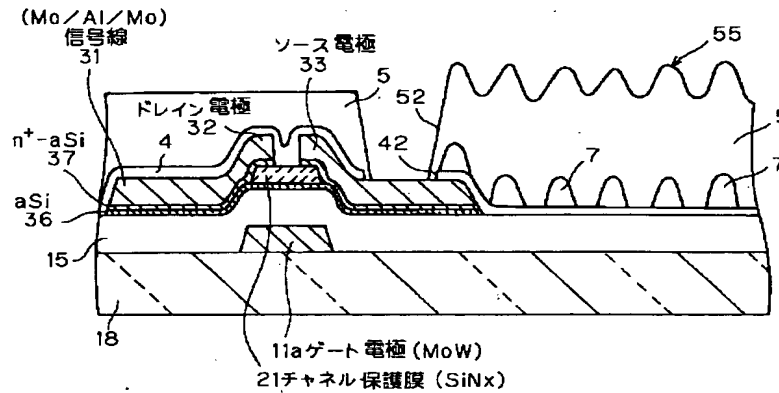
【図3】



(7)

【図 4】

### 従来例



フロントページの続き

(51) Int. Cl. <sup>7</sup>  
H O 1 L 21/336

識別記号

F I

テーマコード\* (参考)

|           |       |       |      |      |      |      |
|-----------|-------|-------|------|------|------|------|
| Fターム (参考) | 2H091 | FA16Y | FC10 | GA02 | GA13 |      |
|           |       | LA12  | LA16 |      |      |      |
|           | 2H092 | HA05  | JA24 | JA28 | JA34 | JA46 |
|           |       | JB08  | KB25 | MA16 | NA01 | NA27 |
|           |       | NA29  |      |      |      |      |
|           | 5C094 | AA43  | AA44 | BA03 | BA43 | CA19 |
|           |       | CA24  | DA14 | DA15 | EA04 | EA07 |
|           |       | EB02  | ED03 | GB10 |      |      |
|           | 5F110 | AA16  | DD02 | EE06 | EE44 | FF04 |
|           |       | GG02  | GG15 | GG25 | HK03 | HK04 |
|           | HK09  | HK16  | HK22 | HK33 | HK34 |      |
|           | HK41  | HL03  | HL23 | NN03 | NN04 |      |
|           | NN14  | NN24  | NN27 | NN40 | NN73 |      |
|           | QQ01  | QQ09  | QQ12 |      |      |      |

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**